

FPGA を用いた CDMA 受信機の鉄道信号への応用

望月 寛* (日本大学), 石川 了, 佐野 実, 西田 賢史 (京三製作所),
高橋 聖, 中村 英夫 (日本大学)

Application of CDMA receiver using FPGA for Railway Signaling

Hiroshi Mochizuki* (Nihon University)

Ryo Ishikawa, Minoru Sano, Satoshi Nishida (Kyosan Electric Mfg. Co., Ltd.)

Sei Takahashi, Hideo Nakamura (Nihon University)

Abstract

In our research, CDMA-based transmission method which realizes high functional railway signaling system has been studied. In this paper, we describe development of a multi-channel processable CDMA receiver. Here a matched filter which is a key device of CDMA receiver has multipliers as many as spread code length. Therefore number of multipliers is huge when we attempt to implement multi-channel processing. We optimized the design to reduce number of logic elements by applying time-sharing processing and the calculator without multipliers. Based on this design, we implemented to field programmable gate array (FPGA). And we evaluated about number of logic elements, output characteristics and processable transmission speed. In addition we proposed a novel spread code synchronous detection without a channel for synchronous detection. We verified that it is possible to realize synchronous detection by carrying out a computer simulation.

キーワード：CDMA, 整合フィルタ, 直交符号, FPGA, 鉄道信号
(CDMA, matched filter, orthogonal code, FPGA, railway signaling)

1. はじめに

現在、筆者らは鉄道信号システムの多情報化を目的として、CDMA(Code Division Multiple Access:符号分割多重接続)とQAM(Quadrature Amplitude Modulation:直交振幅変調)とを組み合わせたCDMA-QAM伝送方式を提案、計算機シミュレーションにより2,000bps程度の伝送速度を確保できる可能性を明らかにしている⁽¹⁾。このCDMA-QAM方式では伝送対象が地上対車上の1対1であるため、CDMAによって多重化された全てのチャンネルを受信機において一括で復調処理をする必要がある。したがって、シングルチャンネル処理を前提とした一般的なCDMA受信機を適用すると、チャンネル数だけ受信機を実装しなければならないことから、マルチチャンネル処理が可能なCDMA受信機の開発を試みた。

本研究では、乗算器を用いない構成や時分割処理の適用によって、ハードウェア量の大幅削減を実現できることを明らかにした上で、FPGA(Field Programmable Gate Array)による開発を行い、鉄道信号システム用CDMA-QAM伝送方式を想定した処理速度やFPGA内で使用したLE(Logic Element)数を評価した。さらに、CDMA受信機における各チャンネルの同期捕捉においては、多重化したチャンネルの幾つかを同期捕捉用に割り当てるなどの方式があるが、本研究では、同期捕捉用チャンネルを全く用いない構成を検討し、計算機シミュレーションによる性能評価を行ったので、あわせて報告する。

2. マルチチャンネル処理可能なCDMA受信機の設計

CDMA受信機のキーデバイスである整合フィルタはFIR(Finite Impulse Response)フィルタと同様の構造を持っており、フィルタ係数として拡散符号を採用することにより、受信信号との相関値を出力する。また、送信機で生成されたデジタルデータを、符号同期確立時における相関値の正負判定によって得ることができる。ここで、この整合フィルタのマルチチャンネル処理の実現について、乗算器の数が問題となってくる。例えば、筆者らが提案しているCDMA-QAM方式で、拡散符号長として採用されている64をフィルタ次数とした場合、乗算器も同数の64個が必要となる。また、拡散符号として採用した直交符号の符号数は符号長と同じ64であることから、全てのチャンネルを一括処理する受信機を構成する場合、乗算器の数は4,096と膨大となる。そのため、マルチチャンネル処理可能なCDMA受信機においては、乗算器を用いない構成を検討することが望ましい。

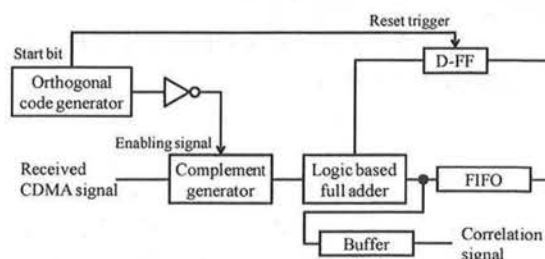


図1 提案する整合フィルタのブロック図

Flow Status	Successful - Tue Feb 24 04:58:19 2009
Quartus II Version	8.1 Build 163 10/28/2008 SJ Web Edition
Revision Name	matchedFilter64
Top-level Entity Name	matchedFilter64
Family	Cyclone II
Device	EP2K10K100-3
Timing Models	Final
Met timing requirements	No
Total logic elements	342 / 18,752 (2%)
Total combinational functions	321 / 18,752 (2%)
Dedicated logic registers	193 / 18,752 (1%)
Total registers	193
Total pins	49 / 315 (16%)
Total virtual pins	0
Total memory bits	57,344 / 239,616 (24%)
Embedded Multiplier 9-bit elements	0 / 52 (0%)
Total PLLs	0 / 4 (0%)

図 2 整合フィルタ実装に関するコンパイルレポート

表 1 整合フィルタ各部におけるクロック周波数

	Clock Frequency	Dividing ratio
Master Clock	50 MHz	1
Orthogonal code generator	12.5 MHz	1/4
Reset trigger	195.3 kHz	1/256
Correlation signal	3051 Hz	1/16384

この点を踏まえて、図 1 のような構成を提案する。この図より、従来の整合フィルタで使用していた乗算器を加算器と補数回路に置換えている。これは、整合フィルタのフィルタ係数である直交符号が +1 と -1 の 2 値しかとらない点に着目し、直交符号が +1 の時の乗算は加算、-1 の時は減算にそれぞれ置換え可能であることを利用したものである。また、減算は一般的に 2 の補数との加算で実現可能であることが知られており、補数回路を付加することで加算器のみで構成することが可能である。さらに、図 1 の構成では時分割処理を適用し相関値を出力する。具体的には、加算器出力に FIFO(first-in first-out) を接続し、この深さをマルチチャネル処理したいチャネル数に応じて設定する。例えば 64 チャネル処理の場合、拡散符号長の 64 を 64 倍した 4,096 にすることでマルチチャネル処理が可能となる。

3. FPGA を用いた CDMA 受信機の実装と評価

前節で示した設計を踏まえて、整合フィルタを FPGA へ実装し CDMA 受信機の開発を行った。64 チャネルを処理する整合フィルタを回路合成した時のコンパイルレポートを図 2 に示す。これより、今回のターゲットデバイスである Altera 社の CycloneII EP2K10K100-3 が持つ 18,752 の LE 数に対して、約 2% の 342LEs で実装できることを確認した。また、表 1 に各部のクロック周波数を示すが、今回のシステムにおける伝送速度の 2,000bps を上回る 3,051bps の処理能力があることを確認した。

4. マルチチャネル処理可能な CDMA 受信機における同期捕捉手法の検討

CDMA の同期捕捉手法としては同期捕捉用チャネルを設けた手法が一般的であるが、本研究では、ワンチップでマルチチャネル処理を実現する CDMA 受信機である点を考慮して、同期捕捉用チャネルを用いない新たな同期捕捉手法を提案する。具体的には、ある時刻で整合フィルタから

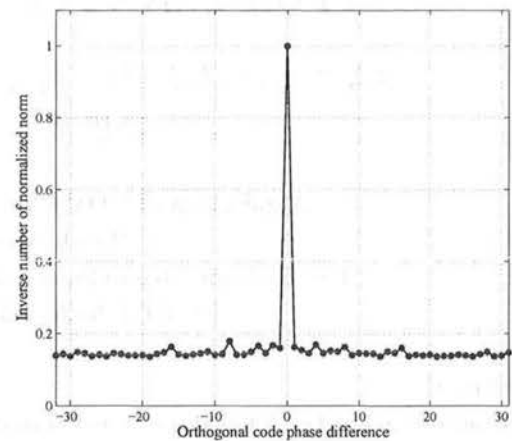


図 3 符号位相差対正規化ノルム特性

得られる相関値出力を用いる。受信側で相関値出力の符号ビットから送信時のデジタルデータを判別し、このデジタルデータを用いて伝送路上の雑音を算出する。ここで、もし拡散符号の同期確立している場合には、デジタルデータの判別がある程度正しく行われるため、CDMA 多重化信号の実測値と真値とのノルムが小さくなるのに対して、同期がとれていない場合、デジタルデータの判別が正しく行われなくなるため、その影響を大きく受けた雑音算出が行われ、結果として実測値と真値とのノルムが大きくなる。この性質を利用して同期捕捉を実現する。この手法の有用性を検証するために、鉄道雑音を想定した計算機シミュレーションによって符号位相差に対するノルム特性を評価した。なお、実際には正規化したノルムの逆数によって評価することとした。図 3 に符号位相差に対する正規化ノルム特性を示す。この図より符号位相差がない場合、すなわち符号同期確立時の正規化ノルムの逆数が、他の任意の符号位相差に比して十分に大きいことを確認した。したがって本手法を用いることにより、同期捕捉用チャネルを用いることなく同期捕捉を行うことが可能である。

5. まとめ

本研究では、鉄道信号システムへの適用を目的としてマルチチャネルを一括処理可能な CDMA 受信機を開発した。整合フィルタについて乗算器を用いない構成や時分割処理を採用によって、大幅なハードウェア量の削減などが可能であることを明らかにした。また、同期捕捉チャネルを設けない同期捕捉手法についても提案し、計算機シミュレーションによる評価でその有用性を確認した。今後、筆者らが開発を進めている CDMA-QAM 式鉄道信号用多情報伝送装置に今回の研究成果を反映し、フィールド試験などによる評価を実施したい。

参考文献

- (1) 望月寛・浅野晃・佐野実・高橋聖・中村英夫:「CDMA-QAM 方式の鉄道信号システムへの適用に関する一検討」, 電学論 D, Vol. 126, No. 3, pp. 337-344 (2006)