

京都大学大学院 学生会員 ○間嶋 純一  
 京都大学工学研究科 正会員 五十嵐 晃

1. はじめに

実時間ハイブリッド実験におけるシミュレータとして、集積回路の一種である FPGA (Field Programmable Gate Array) を用いることを想定し、多自由度系モデルを適用する場合に必要な計算高速化を行うための論理回路設計及びその動作解析を行い、FPGA を用いたシミュレータの実時間ハイブリッド実験への適用性に関して考察を行った。

2. 実時間ハイブリッド実験

実時間ハイブリッド実験手法は、対象構造物を実験部分と計算部分に分割し、実験部分の応答計測値をシミュレータによる計算部分の応答解析に実時間で取り込み、次ステップにおける加振装置の動作を決定するプロセスにより実行される (図 1)。供試体の応答計測値がオンラインでシミュレータに送られ、これを入力値として計算部分の応答を実時間で求める必要がある。規定した計算時間刻み内に 1 ステップの動作を行うことでリアルタイム性が確保されるが、応答計算に要する時間は、非線形性や自由度数等のモデルの規模や複雑度により変化するため、大規模な多自由度系モデル (図 2) を適用する場合は、要求計算量の大きな計算を高速化する必要がある。

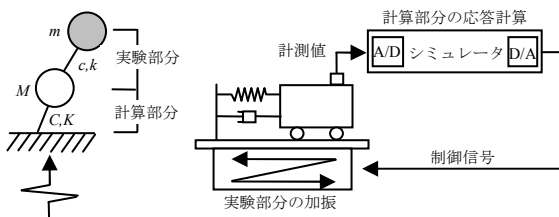


図 1 ハイブリッド実験概念図

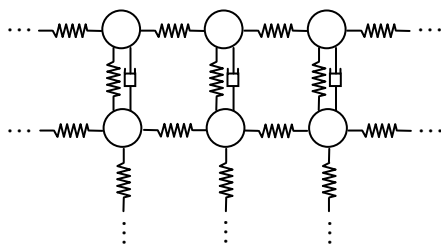


図 2 大規模な多自由度系モデルイメージ図

3. FPGA

FPGA は内部の論理回路を自由に設計することが出来る高い柔軟性を持った集積回路である。FPGA の内部構成を図 2 に示す。図のように、格子状

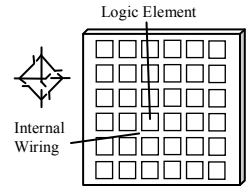


図 2 FPGA の内部構成

に多数個並んだ LE (Logic Element) と呼ばれる論理ブロックとその間の接続を自在に変更することで、所望の論理回路を実現することが可能である。本研究では、加算器や乗算器等の演算器を HDL (ハードウェア記述言語: Hardware Description Language) により設計した。FPGA には、LE 数が許す限り組み込むことが可能であり、大規模な並列演算を行うことが出来る。

4. 回路の全体動作

論理回路において実現する演算内容 (計算部分の数値積分法) としては OS 法 (Operator Splitting method) を用いた。各ステッ

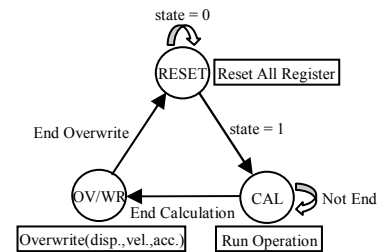


図 3 回路の状態遷移図

プにおいて必要となる数値計算は加算器及び乗算器と途中結果データを保持するレジスタとを繋ぐ事で実現できる。回路の全体的な動作の状態遷移図を図 3 に示す。図のように、状態 (state) 信号をカウントアップさせていくことで、その値に応じた動作を回路に行わせ、順次計算を行っていく。ハイブリッド実験における 1 ステップの計算が終了すれば、変位、速度、加速度の各応答値を更新し、state 信号をリセットする。そして、state=0 の状態において、演算途中結果を保持しているレジスタの内容をリセットした後、再びカウントをアップさせ、次ステップの計算に移行する論理回路となっている。

## 5. 設計した論理回路の動作確認

### 5.1 動作シミュレーション

設計した回路の動作確認を論理回路シミュレータ ModelSim を用いて行った結果と、汎用プログラミングソフトである MATLAB により応

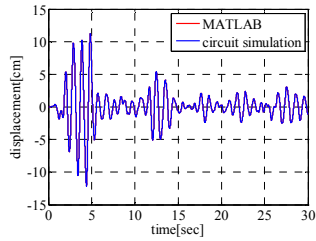


図4 シミュレーション結果

答計算を行った結果を比較したものを図4に示す。両者はほぼ完全に一致しており、想定した動作を行うことの出来る回路が設計できたとと言える。

### 5.2 実機確認

シミュレーションにて正常動作が確認できた回路の実機における動作確認を行った結果、実機上でも正常に動作することを確認した。実



写真1 実装対象ボード

装対象 FPGA としては、Altera 社の DE2-70 ボード (写真1) に搭載されている Cyclone II を使用した。

## 6. FPGA の計算処理能力限界調査

### 6.1 調査条件

FPGA をデバイス単体で使用した場合の処理能力限界を検討した。取り扱いデータビット数として 32 ビット精度、16 ビット精度の場合を考え、対象モデルに非線形多自由度系モデルの場合、質量・減衰・剛性マトリクスが密行列である場合を想定した。単純なモデルの場合、各マトリクスが式(1)のように帯行列となるのに対し、密行列である場合は全体の演算量が飛躍的に増すこととなる。限界 LE 数としては、現存するデバイスを参照し、544880 個を想定した。なお、大自由度数における消費 LE 数の算出は、実際に設計した回路情報を元に行った。最短時間で処理を行う場合の調査結果を図5に示す。

$$M = \begin{bmatrix} * & & 0 \\ & * & \\ & & \ddots \\ 0 & & & * \end{bmatrix}, C, K = \begin{bmatrix} * & * & & 0 \\ * & * & \ddots & \\ * & * & \ddots & * \\ 0 & * & * & * \end{bmatrix} \quad (1)$$

\*部分は非ゼロである値が入っていることを表す。

### 6.2 リソースの共有化

最短で処理を行う場合、高速処理が可能である一方

で消費 LE 数が多くなり、適応範囲が狭くなってしまふ。そこで次にリソースの共有化 (RS : Resource Sharing) を考え、演算器を繰り返し使用することで消費 LE 数を節約し、適用範囲拡大を考えた。図6に加算器、乗算器をそれぞれ 100 個に限定した場合の結果を示す。

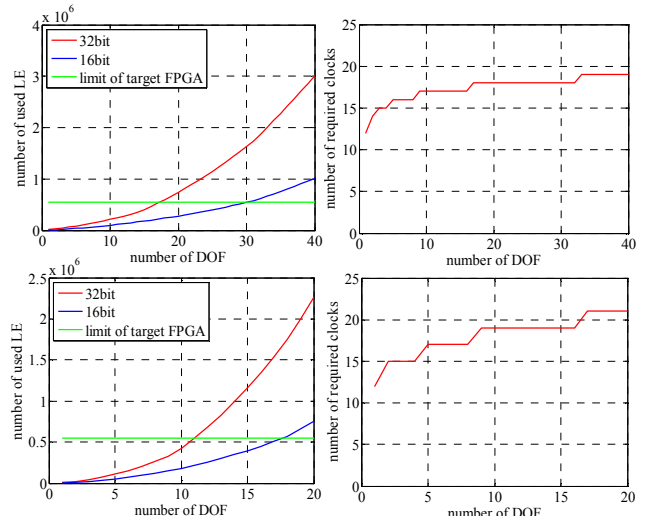


図5 最短処理を行う場合(上:非線形,下:密行列)

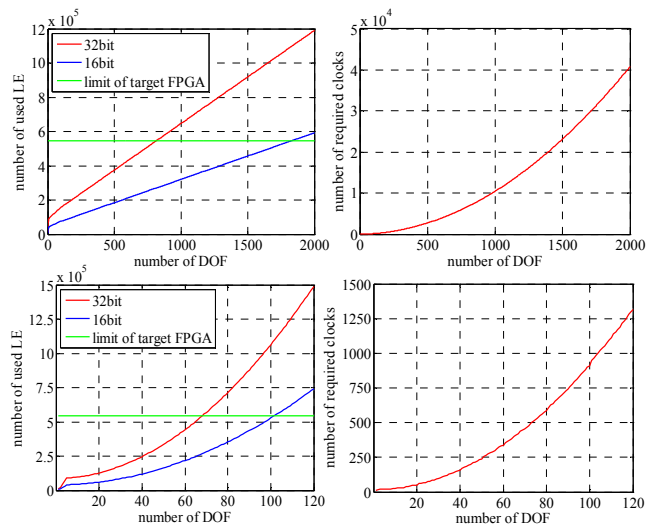


図6 RSを行った場合(上:非線形,下:密行列)

## 7. まとめ

- 多自由度系モデルの地震応答シミュレーションを高速に行うことが可能である論理回路を設計した。
- FPGA の計算処理能力限界調査を行い、応答計算及び制御信号の出力を 1kHz で行う場合、非線形多自由度モデルの場合 1600 自由度程度まで、密行列モデルの場合、100 自由度程度まで対応できることが分かった。(RS 使用・16 ビット精度の場合)
- 実時間ハイブリッド実験におけるシミュレータとして FPGA を用いることで、実験の適用範囲を拡大できる可能性を示した。