

FPGA ボードによる実時間ハイブリッドシミュレーション用システム構築の検討

京都大学工学研究科 正会員 ○五十嵐 晃
大阪ガス(株) 正会員 長谷川直哉

1. はじめに

実時間ハイブリッドシミュレーションは、振動台・動的アクチュエータ等を用いた動的加振・载荷実験と数値計算を相互に結合することにより、大規模な構造システムの実時間動的応答の検証を実現する手法である。現在の実時間ハイブリッドシミュレーションシステム開発の方向性の一つは、より高度な対象構造への対応ならびにそのための数値部分構造の扱える自由度の拡大である。五十嵐ら¹⁾は、FPGA (Field Programmable Gate Array) による並列計算型実時間応答シミュレータの開発検討を行い、PC あるいは DSP ベースのシステムを越える大規模構造システムの実時間数値応答シミュレーションの可能性を示しており、実時間ハイブリッドシミュレーションの構築への適用が有望なアプローチと予想される。FPGA ベースの実時間ハイブリッドシミュレーションシステムを構築する上で実装に必要な要素技術とその適用法の検討を行った結果について述べる。

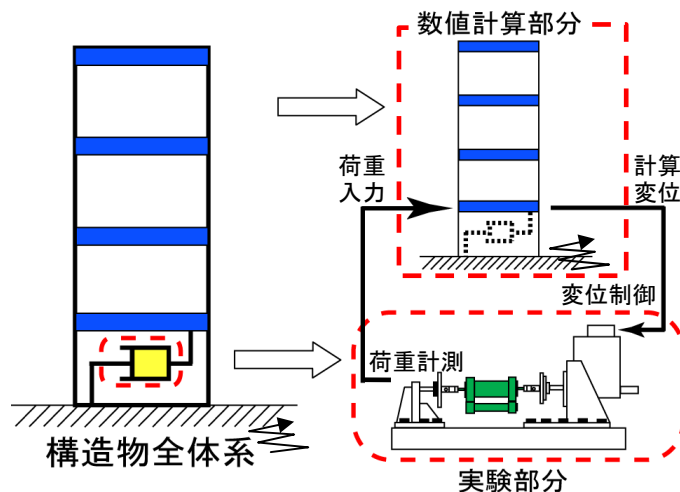


図-1 ハイブリッドシミュレーションの原理

2. FPGA による実時間数値演算処理システムの構築の概要

FPGA は PLD (Programmable Logic Device) の一種に分類される半導体素子であり、ユーザーが内部の論理回路や外部ピン接続等を自由に変更することで、ユーザーの希望する機能を持ったシステムを構築することが出来る。内部には、多数の LE (Logic Element) と呼ばれる基本単位がグリッド状に配置されており、与えられる LE 相互の接続情報に従い配線することで論理回路を構成する仕組みとなっている。HDL (Hardware Description Language) と呼ばれる設計言語により動作を記述し、設計用ソフトウェアを用いて論理合成および配線配置を行うことで上記の情報を持つビットストリームデータに変換し、これを FPGA にダウンロードする手順によりシステムを実装する。

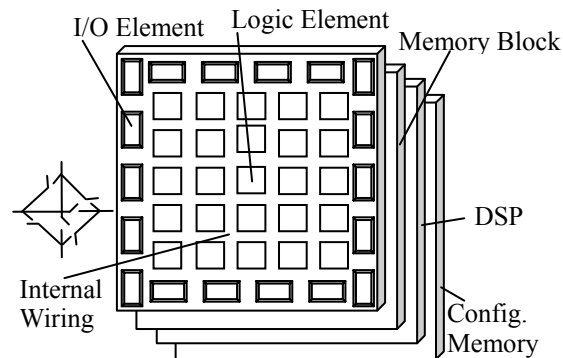


図-2 FPGA の基本構造

論理回路における数値は、IEEE 754 規格による単精度 32bit 浮動小数点数形式に基づく 32 本の配線上の 2 進数データで表現される。2つの数値を入力、1つの数値を出力する形で、数値演算の基本となる加算、乗算等を実行する加算器や乗算器の論理回路を構成し、これを必要数配置した上で目標とする演算を実行させることで、並列数値演算を実現する。

3. 実時間ハイブリッドシミュレーションシステムに必要な機能

実時間ハイブリッドシミュレーションの実験制御システムでは、実験部分において逐次得られる計測値に基づき計算対象の構造モデルの運動方程式の時間積分を実行し、実験装置用の信号を出力する機能が基本となる。

キーワード 論理回路, 並列演算, 高速演算, オーディオコーデック, 実験制御

連絡先 〒615-8540 京都市西京区京都大学桂 京都大学工学研究科社会基盤工学専攻 TEL 075-383-3245

実時間性を確保するためには、a. 計測信号の取り込み b. 同じ時間刻み Δt の数値計算の1ステップの処理 c. 計算結果に基づく制御装置の制御信号の出力、の3つのプロセスを数値時間積分の時間刻み Δt 以内の時間で完了する必要がある。FPGAとしてCyclone II EP2C70 (Altera 社) を搭載した DE2-70 ボードを用いてこの機能を実現するために構成したシステムの要素を図-3 に示す。

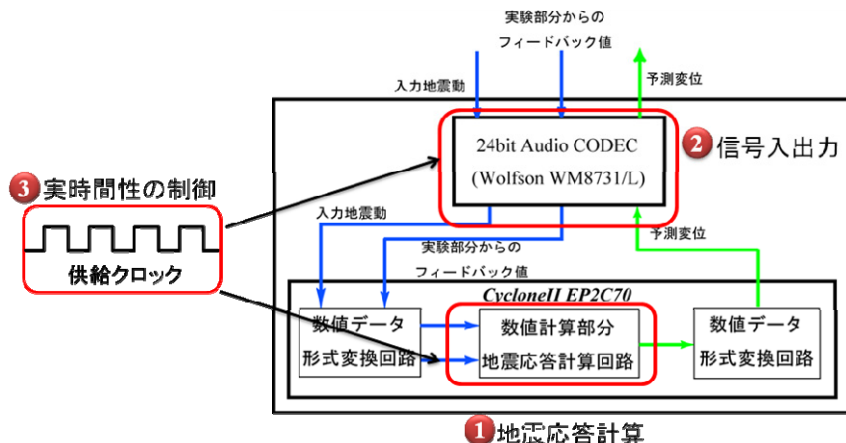


図-3 実時間ハイブリッドシミュレーションシステムの要素

・**地震応答計算**：既往の実時間応答シミュレータの実装¹⁾で採用されたものと同様に、Operator Splitting 法による時間積分のアルゴリズムを、数値演算処理回路を状態遷移に基づく有限オートマトンとして構成することで実装する。高速処理のための同時並列演算の制御と、数値計算精度を確保するための浮動小数点数形式による演算を採用している。

・**外部信号の入出力**：本システムでは、ボードに搭載されているオーディオ・コーデック (WM8731, Wolfson 社) を外部インターフェースとして利用する。最大 96kHz のステレオアナログ信号の入出力が可能であり、時間刻みとして想定する $\Delta t=1\text{ms}$ に十分な仕様を持つ。アナログ電圧信号と 24bit リニア PCM 形式で符号化されたデジタル信号の間の変換を入力、出力各々 2 チャンネルについて行い、入力地震動加速度信号と、実験部分からの計測荷重信号に、出力は実験装置の変位制御信号およびモニタ用信号に用いることができる。FPGA においては、上述の浮動小数点数とリニア PCM 形式の間の変換を介して、地震応答計算機能に接続される。

・**実時間性の制御**：実時間の進行に合わせたハイブリッドシミュレーションの時間管理を実現するため、供給される基本クロック信号 (18.432MHz) および複数の分周クロック信号を用いて、運動方程式の時間積分演算およびオーディオ・コーデックによる入出力信号の時間制御を行っている。

ここでは、1ms のタイミングごとに、(1) 試験装置への制御信号の出力 (2) 地震動加速度の入力および実験部分からの荷重計測値の取り込み (3) 次ステップの数値時間積分の計算と試験装置への制御信号の算出 (4) 出力値の保持と待機、の 4 つの状態を時間に合わせて管理するようシステムを構成している。

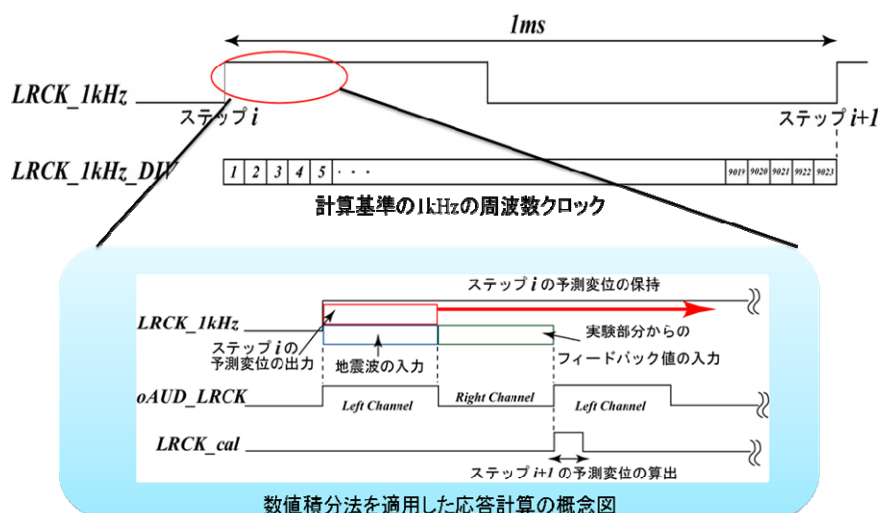


図-4 実時間ハイブリッドシミュレーションの実時間制御

4. おわりに

実時間ハイブリッドシミュレーションシステムとしては、さらに試験装置の入出力特性に対応するための制御信号の補償の機能を実装することが必要である。動特性補償の手法は既往の研究でもいくつかの方法が提案されており、中でもデジタルフィルタ補償は FPGA への実装に適した方法と考えられる。

参考文献 1) 五十嵐晃, 間嶋純一: 構造モデルの並列演算型実時間動的応答シミュレータの FPGA への実装, 構造工学論文集, Vol.58A, pp.162-169, 2012.