

FPGA による構造システムの実時間地震応答シミュレータの実装

野村総合研究所 正会員 ○間嶋 純一

京都大学工学研究科 正会員 五十嵐 晃

1. はじめに

実時間ハイブリッド実験におけるシミュレータとして、集積回路の一種である FPGA (Field Programmable Gate Array) を用いることを想定し、多自由度系モデルを適用する場合に必要な計算高速化を行うための論理回路設計及びその動作解析を行い、FPGA を用いた大規模モデルの実時間応答シミュレーションへの適用性に関する考察を行った。

2. 実時間ハイブリッド実験

実時間ハイブリッド実験手法は、対象構造物を実験部分と計算部分に分割し、実験部分の応答計測値をシミュレータによる計算部分の応答解析に実時間で取り込み、次ステップにおける加振装置の動作を決定するプロセスにより実行される (図 1)。供試体の応答計測値はオンラインでシミュレータに送られ、これを入力値として計算部分の応答を実時間で求める必要がある。規定した計算時間刻み内に 1 ステップの動作を行うことでリアルタイム性が確保されるが、応答計算に要する時間は、非線形性や自由度数等のモデルの規模や複雑度により変化するため、大自由度数モデルを適用する場合は、要求計算量の大きな計算を高速化する必要がある。

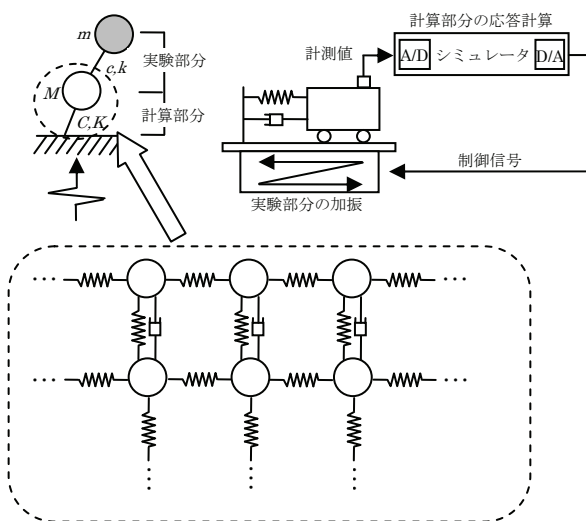


図 1 ハイブリッド実験概念図 (例)

3. FPGA

FPGA は内部の論理回路を自由に設計することが出来る高い柔軟性を持った集積回路である。FPGA の内部構成を図 2 に示す。図のように、格子状に多数個並んだ LE (Logic Element) と呼ばれる論理ブロックとその間の接続を自在に変更することで、所望の論理回路を実現することができる。本研究では、加算器や乗算器等の演算器を HDL (ハードウェア記述言語: Hardware Description Language) により設計した。FPGA には、LE 数が許す限り演算器を組み込むことが可能であり、大規模な並列演算を行うことが出来る。

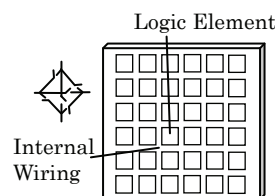


図 2 FPGA の内部構成

4. 回路の全体動作

実時間応答シミュレーションは、数値演算を行う論理回路を構築するにより実現される。数値積分法に Operator Splitting 法を採用し、加算器・乗算器と中間データ保持用レジスタを回路で繋いだ構成となる。回路の全体的な動作の状態遷移図を図 3 に示す。1 時刻ステップ内の計算の進行に応じて状態 (state) 信号をカウントアップし、その値に応じた動作を指定する回路とする。

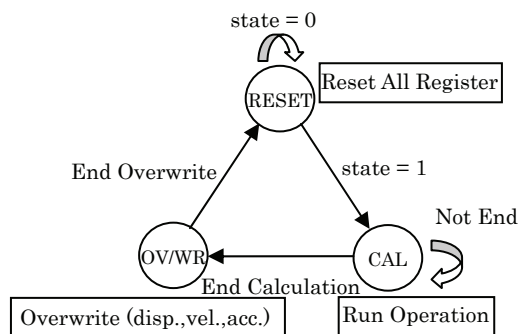


図 3 論理回路の状態遷移図

キーワード 実時間シミュレーション, 高速演算, 大規模演算, 論理回路, 半導体素子

連絡先

〒615-8540 京都市西京区京都大学桂 京都大学工学研究科社会基盤工学専攻 TEL 075-383-3245

5. 論理回路の動作確認

設計した回路の動作確認を論理回路シミュレータ ModelSim を用いて行った結果と、汎用プログラミングソフトである MATLAB により応答計算を行った結果を比較したものを図4に示す。両者はほぼ完全に一致しており、想定した動作を行うことの出来る回路が設計できたと言える。

また、論理回路の FPGA ボード実機における動作確認を行った結果、実機上でも正常に動作することを確認した。実装対象 FPGA としては、Altera 社の DE2-70 ボード (写真 1) に搭載されている Cyclone II を使用した。

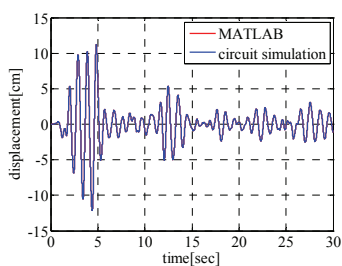


図4 シミュレーション

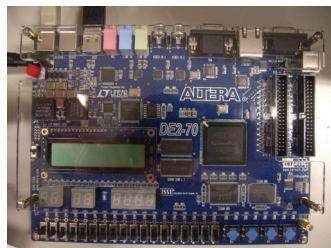


写真1 実装対象ボード

6. FPGA の計算処理能力限界の検討

FPGA をデバイス単体で使用した場合の処理能力限界を検討した。取り扱いデータビット数として 32 ビット精度、16 ビット精度の場合を考え、対象モデルに非線形多自由度系モデルの場合、質量・減衰・剛性マトリクスが密行列である場合を想定した。単純なモデルの場合、各マトリクスが式(1)のように帯行列となるのに対し、密行列である場合は全体の演算量が飛躍的に増すこととなる。限界 LE 数としては、現存するデバイスを参照し、544880 個を想定した。なお、大自由度数における消費 LE 数の算出は、実際に設計した回路情報を元に行った。最短時間で処理を行う場合の調査結果を図5に示す。

$$M = \begin{bmatrix} * & & 0 \\ & * & \\ & & \ddots \\ 0 & & & * \end{bmatrix}, K = \begin{bmatrix} * & * & & 0 \\ * & * & \ddots & \\ & \ddots & \ddots & * \\ 0 & & * & * \end{bmatrix} \quad (1)$$

*部分は非ゼロ値が入っていることを表す。

最短で処理を行う場合、高速処理が可能である一方で消費 LE 数が多くなり、適応範囲が狭くなってしまう。そこで次にリソースの共有化 (RS: Resource Sharing) を考え、演算器を繰り返し使用することで消費 LE 数を節約し、適用範囲拡大を考えた。図6に

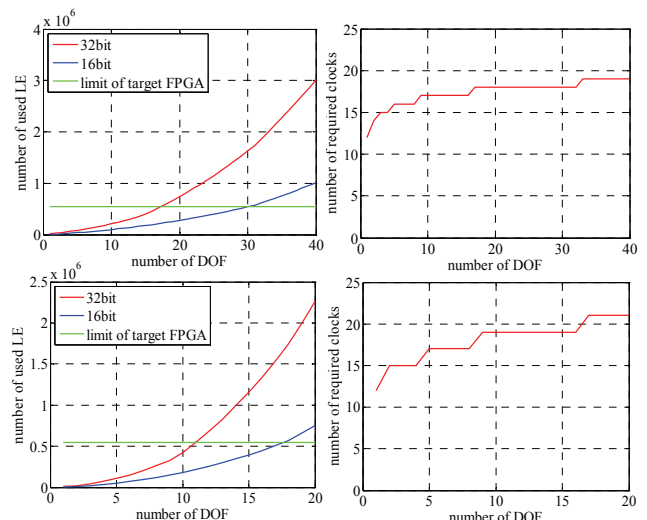


図5 最短処理を行う場合(上:非線形, 下:密行列)

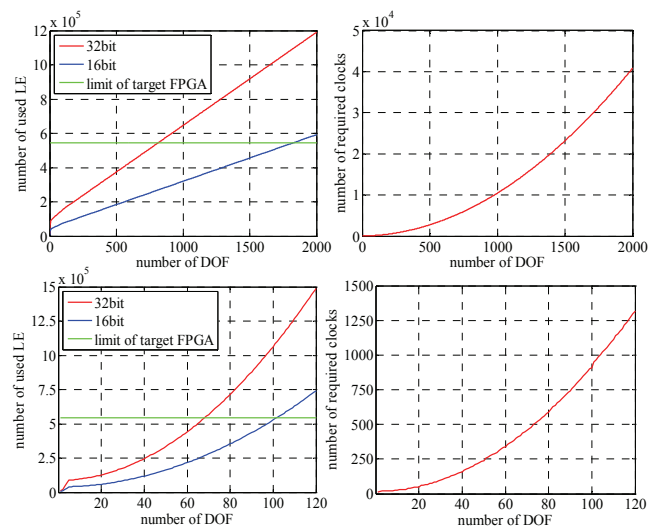


図6 RSを行った場合(上:非線形, 下:密行列)

加算器、乗算器をそれぞれ 100 個に限定した場合の結果を示す。

7. まとめ

- ・多自由度系モデルの地震応答シミュレーションを高速に行うことが可能である論理回路を設計した。
- ・FPGA の計算処理能力限界の検討を行い、限界 LE 数 544880 個で応答計算及び制御信号の出力を 1kHz で行う場合、非線形多自由度モデルの場合 1600 自由度程度まで、密行列モデルの場合、100 自由度程度まで対応できることが分かった。(RS 使用・16 ビット精度)
- ・実時間シミュレータとして FPGA を用いることで、実時間ハイブリッド実験の適用範囲拡大の可能性を示した。